



Europäisches Patentamt  
European Patent Office  
Office européen des brevets



(11) **EP 1 187 331 A1**

(12) **EUROPÄISCHE PATENTANMELDUNG**

(43) Veröffentlichungstag:  
13.03.2002 Patentblatt 2002/11

(51) Int Cl.7: **H03K 5/13**

(21) Anmeldenummer: **00119282.2**

(22) Anmeldetag: **06.09.2000**

(84) Benannte Vertragsstaaten:  
**AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU  
MC NL PT SE**  
Benannte Erstreckungsstaaten:  
**AL LT LV MK RO SI**

(72) Erfinder:  
• **Schlager, Tobias**  
8062 Kumberg (AT)  
• **Kupnik, Mario**  
8700 Leoben (AT)

(71) Anmelder: **Infineon Technologies AG**  
81669 München (DE)

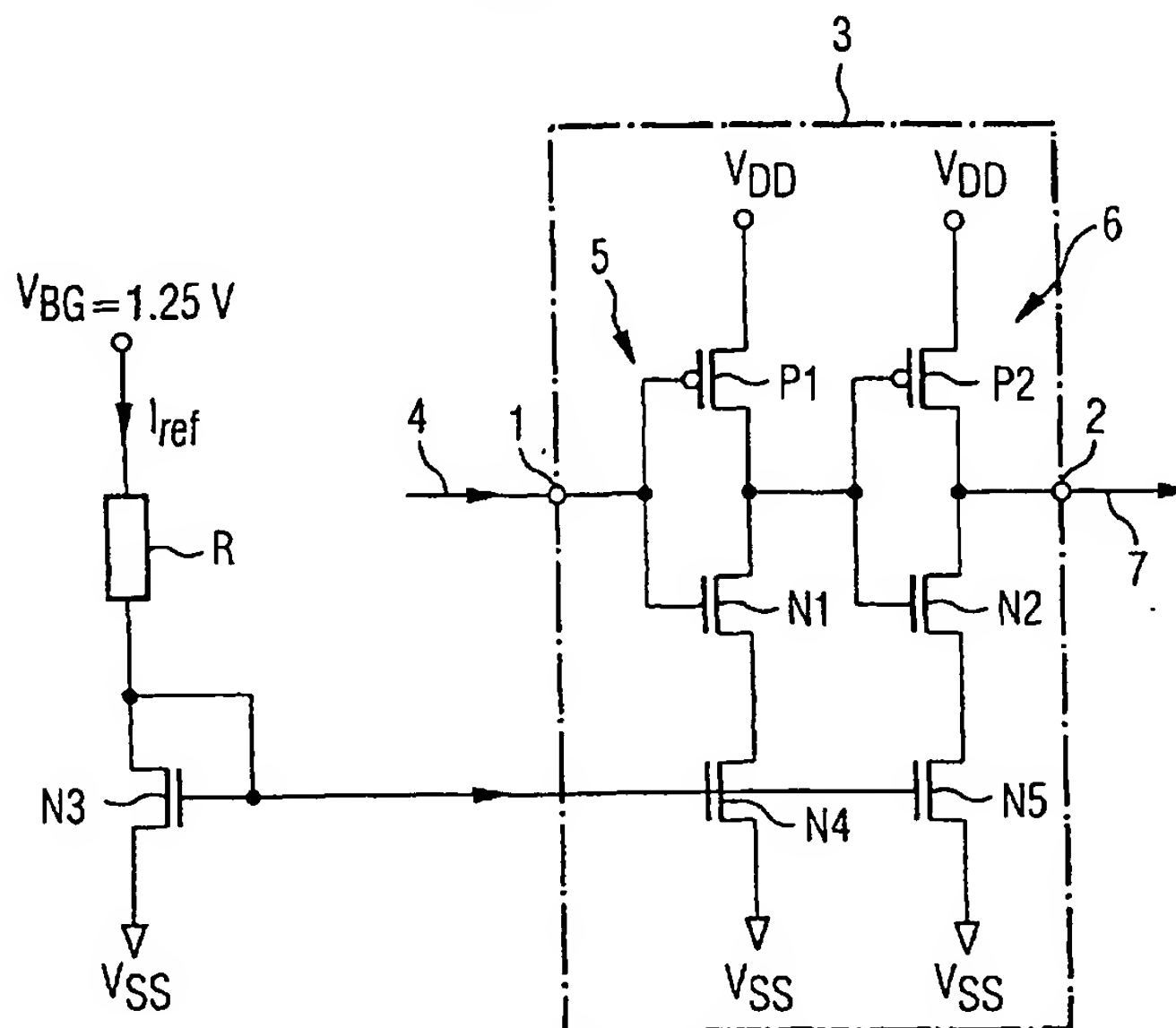
(74) Vertreter: **Hermann, Uwe, Dipl.-Ing. et al**  
**Epping, Hermann & Fischer**  
Postfach 12 10 26  
80034 München (DE)

(54) **Verzögerungsglied**

(57) Die Erfindung betrifft ein Verzögerungsglied mit mindestens einem elektronischen Schalter (5, 6), an dessen Eingang (1) ein Eingangssignal (4) und an dessen Ausgang (2) ein Ausgangssignal (7) anliegt und einer Strombegrenzungsvorrichtung (N4, N5), die die Stromaufnahme des mindestens einen elektronischen Schalters (5, 6) begrenzt, wobei durch die Begrenzung der Stromaufnahme des mindestens einen elektroni-

schen Schalters (5, 6) die Schaltzeit verlangsamt ist. Durch die Begrenzung der Stromaufnahme auf einen sehr kleinen Wert wird die Schaltzeit des mindestens einen elektronischen Schalters (5, 6) so verlangsamt daß eine Verzögerungszeit entsteht, die dem Grenzwert des Stromes proportional ist. Im Vergleich zu Verzögerungsgliedern mit Kondensatoren ergibt sich ein sehr geringer Stromverbrauch.

**FIG 1**



## Beschreibung

[0001] Die Erfindung betrifft ein Verzögerungsglied zum Einsatz in elektronischen Ansteuerschaltungen.

[0002] Verzögerungsglieder bewirken, daß ein an ihrem Eingang anliegendes Signal am Ausgang um eine definierte Zeit verzögert ausgegeben wird. Auf diese Weise ist es beispielsweise möglich, aus einem Impuls zwei oder mehrere verzögert folgende Impulse zu formen. Eine übliche Maßnahme zur Verzögerung von digitalen Signalen ist, den Signalanstieg durch den Einsatz eines Kondensators zu verlangsamen. Ein damit verbundenes digitales Schaltglied schaltet erst dann, wenn eine definierte Spannung an dem Kondensator überschritten wird. Da der Ladevorgang Zeit benötigt, wird dieser Spannungswert erst verspätet und man erhält eine Verzögerung des Signales. Die Verzögerungszeit wird durch die Größe des Kondensators bestimmt.

[0003] Zur Ladung des Kondensators ist jedoch ein relativ großer Ladestrom notwendig. In Anwendungsfällen, bei denen auf eine Batteriestromversorgung zurückgegriffen wird, oder beispielsweise bei einer kontaktlosen Chipkarte ist jedoch die Reduzierung des Stromverbrauchs ein wesentliches Ziel. Außerdem besteht vielfach der Wunsch, die Verzögerungszeit eines Verzögerungsgliedes einstellen zu können, was bei Verwendung von Kondensatoren nicht möglich ist.

[0004] Aufgabe der Erfindung ist es daher, ein Verzögerungsglied anzugeben, das eine reduzierte Stromaufnahme aufweist und zudem die Möglichkeit der Einstellung der Verzögerungszeit enthält.

[0005] Dieses Ziel wird erfindungsgemäß durch ein Verzögerungsglied gelöst mit mindestens einem elektronischen Schalter, an dessen Eingang ein Eingangssignal und an dessen Ausgang ein Ausgangssignal anliegt, und eine Strombegrenzungsvorrichtung, die die Stromaufnahme des elektronischen Schalters begrenzt, wobei durch die Begrenzung der Stromaufnahme des elektronischen Schalters die Schaltzeit verlangsamt ist.

[0006] Der Vorteil dieser Anordnung besteht darin, daß kein Ladestrom für nicht parasitäre Kondensatoren vorgesehen werden muß. Vielmehr wird die Stromaufnahme des elektronischen Schalters so stark begrenzt, daß er verhältnismäßig viel Zeit benötigt, um die zum Schalten notwendigen Ladungsverschiebungen vorzunehmen.

[0007] In einer vorteilhaften Ausführung wird die Strombegrenzungsvorrichtung durch einen Stromspiegel realisiert. Der Referenzzweig des Stromspiegels kann an eine stabilisierte Referenzspannung angelegt sein, so daß eine konstante Verzögerungszeit gewährleistet ist. Da die Verzögerungszeit durch die Strombegrenzungsvorrichtung bestimmt ist, ist eine Einstellbarkeit vereinfacht.

[0008] In einer weiteren vorteilhaften Ausführung wird die Strombegrenzungsvorrichtung durch einen Zufallsgenerator angesteuert. Durch eine solche Maßnahme

ist eine Analyse der internen Vorgänge einer Chipkarte durch Messung des Stromverbrauchs der auf der Chipkarte befindlichen integrierten Schaltung verhindert oder zumindest erschwert.

5 [0009] Weitere Vorteile und Ausgestaltungen der Erfindung sind in den Unteransprüchen angegeben.

[0010] Die Erfindung wird nachfolgend anhand eines Ausführungsbeispiels näher erläutert. Es zeigt:

10 Figur 1 ein Verzögerungsglied gemäß der Erfindung,

Figur 2 eine Anordnung von zwei Verzögerungsgliedern nach Figur 1 bei Verwendung verschiedener Logikpegel und

15 Figur 3 eine Speicher-Ansteuerschaltung bei Einsatz der Verzögerungsglieder von Figur 1.

[0011] In der Figur 1 wird ein Verzögerungsglied 3 mit zwei Invertern 5 und 6, die elektronische Schalter darstellen, realisiert. Jeder der Inverter 5 und 6 ist dabei durch einen PMOS-Transistor P1 beziehungsweise P2 und einen NMOS-Transistor N1 beziehungsweise N2 realisiert. Die Source-Drain-Strecken sind in Reihe geschaltet. Die Transistoren P1 und P2 sind mit der Versorgungsspannung verbunden. Ein Eingangssignal 4 liegt an den Gates der Transistoren P1 und N1 an, die somit einen Eingang des Verzögerungsgliedes 3 bilden. Zwischen den Transistor N1 und das Bezugspotential  $V_{SS}$  ist ein weiterer NMOS-Transistor N4 geschaltet. Bei dem zweiten Inverter 6 liegt entsprechend ein Transistor N5 zwischen dem Transistor N2 und dem Bezugspotential  $V_{SS}$ . Durch Ansteuerung der Transistoren N4 und N5 ist der Stromfluß durch die Inverter 5 und 6 steuerbar. Die Transistoren N4 und N5 stellen daher Strombegrenzungsvorrichtungen dar. Der Strom durch die Transistoren N4 und N5 wird auf sehr kleine Werte eingestellt, beispielsweise auf 300 nA. Dadurch ergibt sich für ein Verzögerungsglied 3 gemäß der Figur 1 eine Verzögerungszeit von in der Größenordnung von 10 ns.

[0012] Die Höhe des Stromflusses durch die Transistoren N4 und N5 wird in vorteilhafter Weise durch einen Stromspiegel eingestellt. Ein Referenzzweig weist einen Widerstand R und einen NMOS-Transistor N3 auf, wobei der Widerstand R mit einer Spannungsquelle  $V_{BG}$  verbunden ist. Der Drain-Anschluß und der Gate-Anschluß des Transistors N3 sowie die Gate-Anschlüsse der Transistoren N3, N4 und N5 sind miteinander verbunden. Durch eine derartige Anordnung stellt sich auf den Drain-Source-Strecken der Transistoren N4 und N5 ein Strom ein, der proportional zu dem Strom durch den Transistor N3 ist.

[0013] Die Versorgungsspannung ist in vielen Anwendungsfällen nicht exakt konstant, sondern ist Schwankungen unterworfen. Daher ist als Spannungsquelle  $V_{BG}$  eine Referenzspannungsquelle verwendet, die eine Spannung bereitstellt, die zwar niedriger ist als die normale Versorgungsspannung  $V_{DD}$ , dafür aber auf ei-

nen exakten Wert festgelegt ist. In diesem Ausführungsbeispiel, das für den Einsatz in kontaktlosen Chipkarten konzipiert ist, beträgt die Spannung  $V_{BG}$  1,25 V. Diese Referenzspannung ist auf kontaktlosen Chipkarten ohnehin vorhanden. Dadurch ist sichergestellt, daß die Verzögerungszeit des Verzögerungsgliedes immer  $\Delta T = 10$  ns beträgt. Schwankungen der Versorgungsspannung  $V_{DD}$  haben so keinen Einfluß auf die Verzögerungszeit.

[0014] Im vorliegenden Anwendungsfall soll nur die ansteigende Flanke eines Impulses genutzt werden. Daher genügt es, den Strom der Inverter 5 und 6 hin zu dem Bezugspotential  $V_{SS}$  zu begrenzen. In einem anderen Anwendungsfall, in dem auch die abfallende Flanke genutzt werden soll, muß auch zur Versorgungsspannung  $V_{DD}$  begrenzt werden.

[0015] Mit mehreren solchen Verzögerungsgliedern 3 ist eine Verzögerungsleitung 10 aufbaubar. Mit einem Impuls 4, dessen ansteigende Flanke in der Figur 3 dargestellt ist, können somit mehrere zeitlich versetzte Impulse 7a, 7b, 7c und 7d erzeugt werden. Die Verzögerungszeit ist dabei durch den Strom im Referenzzweig des Stromspiegels einstellbar.

[0016] In vielen Anwendungsfällen werden in integrierten Schaltungen sicherheitsrelevante Daten gespeichert oder verarbeitet. Eine durch nicht berechnete Personen oftmals angewandte Methode, um Zugriff auf diese Daten zu erhalten, ist die Messung der Stromaufnahme der Gesamtschaltung. Durch statistische Auswertungen kann eine Korrelation zwischen internen Vorgängen und dem äußeren Stromprofil festgestellt werden. In einem solchen Fall ist es vorteilhaft, die Strombegrenzungsvorrichtungen N4 und N5 (Figur 2) durch einen Zufallsgenerator 9 anzusteuern. Der Zufallsgenerator 9 ist dabei gemäß dem Ausführungsbeispiel von Figur 2 digital ausgeführt und steuert über einen zwischengeschalteten Digital-/Analogwandler D/A und einen Verstärker 8 die Transistoren N4 und N5 an. Je nach gewünschtem Sicherheitsgrad wird die Bandbreite der Streuung der Steuerspannung für die Transistoren N4 und N5 der Strombegrenzungsvorrichtung ausgelegt.

[0017] In Figur 3 ist gezeigt, daß die Versorgungsspannung der Verzögerungsleitung 11 abgesenkt werden kann, während andere Schaltungsteile, die mit der Verzögerungsleitung 10 verwendet werden, mit der normalen Versorgungsspannung  $V_{DD}$  arbeiten. Die Spannungsabsenkung bei der Verzögerungsleitung 10 wird dadurch ermöglicht, daß nur zu  $V_{SS}$  hin begrenzt wird. Sie bringt mehrere Vorteile mit sich. Es kann nämlich eine gepufferte Referenzspannung  $V_{BG}$  verwendet werden, die beispielsweise auch für den Referenzzweig der Stromspiegel Anwendung findet. Dadurch reduziert sich der Temperatureinfluß und vor allem der Stromverbrauch.

[0018] Ein bevorzugtes Einsatzgebiet einer solchen Schaltung ist die Verwendung bei kontaktlosen Chipkarten. Gerade bei diesen ist eine Reduzierung des Stromverbrauches wichtig. Weiterhin wirken Spannungsschwankungen, welche auf kontaktlosen Chipkarten im-

mer besonders stark vorzufinden sind, nicht auf die Verzögerungsleitung ein.

[0019] Durch das Absenken der Versorgungsspannung der Verzögerungsleitung 10 muß allerdings zu den mit der normalen Versorgungsspannung  $V_{DD}$  arbeitenden Schaltungsteilen ein sogenannter Levelshifter 4 vorgesehen werden, um die Logikpegel kompatibel zu machen. Der Levelshifter 4 enthält Pufferschaltkreise, die eine Belastung der Signalleitung zwischen den Verzögerungsgliedern 3 reduzieren.

[0020] Wie bereits angesprochen, ist ein bevorzugtes Anwendungsgebiet der bisher beschriebenen Schaltung das Gebiet der kontaktlosen Chipkarten. Diese Chipkarten weisen in der Regel Speicherbausteine auf, deren Lese- und Schreibzyklen durch ein komplexes Timing-Diagramm gesteuert werden. Um die Leistungsfähigkeit der Speicherbausteine auszunutzen, ist eine sehr hohe Taktrate, beispielsweise 100 MHz, notwendig. Auf kontaktlosen Chipkarten gibt es zur Zeit jedoch eine Taktrate von maximal 13,56 MHz. Bestrebung ist sogar, diesen Takt noch weiter herunterzuteilen, um somit den Stromverbrauch weiter zu reduzieren. Durch eine Verzögerungsleitung 10, die gemäß der Erfindung aufgebaut und in Figur 4 dargestellt ist, kann auf einfache und stromsparende Weise aus einem verhältnismäßig langsamen Takt eine schnelle Folge von Impulsen generiert werden, die in Verbindung mit einer kombinatorischen Logik 11 zur Generierung von Ansteuersignalen für Speicherbausteine verwendet werden können. Die Levelshifter 4 passen die Logikpegel an und verhindern eine zu starke Belastung der Verzögerungsglieder. Trotz eines langsamen Taktes auf der Chipkarte ist somit die Ausschöpfung der vollen Leistungsfähigkeit von Speicherbausteinen möglich.

[0021] Ein weiteres Problem tritt vor allen Dingen bei sogenannten FeRAM-Speicherbausteinen in Erscheinung. Bei solchen Bausteinen kann es zum sogenannten "zerstörenden Lesen" kommen, wenn ein Taktsignal ausfällt. Dies ist bei kontaktlosen Chipkarten häufig ein Problem. Ein Taktausfall bei einem Lesezugriff auf den FeRAM-Baustein hätte einen Datenverlust zur Folge. Bei dem Einsatz einer erfindungsgemäßen Verzögerungsleitung wird ein Lese- oder Schreibvorgang jedoch immer vollständig abgearbeitet, da aus einem Impuls eines Taktgenerators sämtliche Impulse zur Steuerung des gesamten Schreib- oder Lesezyklus erzeugt werden.

[0022] Durch den geringen Stromverbrauch bei gemäß der Erfindung aufgebauten Verzögerungsgliedern 3 können beliebig viele solcher Verzögerungsglieder hintereinander geschaltet werden. Somit lassen sich auch komplexe Timing-Diagramme realisieren, während bei Verzögerung mit Kondensatoren der Stromverbrauch die Anzahl der Verzögerungsglieder beschränkt.

# Patentansprüche

## 1. Verzögerungsglied mit

- mindestens einem elektronischen Schalter (5, 6), an dessen Eingang (1) ein Eingangssignal (4) und an dessen Ausgang (2) ein Ausgangssignal (7) anliegt, und
- einer Strombegrenzungsvorrichtung (N4, N5), die die Stromaufnahme des mindestens einen elektronischen Schalters (5, 6) begrenzt, wobei durch die Begrenzung der Stromaufnahme des mindestens einen elektronischen Schalters (5, 6) die Schaltzeit verlangsamt ist.

5

10

15

2. Verzögerungsglied nach Anspruch 1, **dadurch gekennzeichnet, daß** die Strombegrenzungsvorrichtung (N4, N5) durch einen Stromspiegel gesteuert ist.

20

3. Verzögerungsglied nach Anspruch 1, **dadurch gekennzeichnet, daß** die Strombegrenzungsvorrichtung (N4, N5) durch einen Zufallsgenerator (9) gesteuert ist.

25

4. Verzögerungsglied nach Anspruch 1, **dadurch gekennzeichnet, daß** die Strombegrenzungsvorrichtung (N4, N5) zwischen dem mindestens einen elektronischen Schalter (5, 6) und einer Bezugsspannung ( $V_{SS}$ ) angeordnet ist.

30

5. Verzögerungsglied nach Anspruch 1, **dadurch gekennzeichnet, daß** der mindestens eine elektronische Schalter ein Inverter ist und zwei Inverter (5, 6) hintereinander geschaltet sind, wobei jeweils die Stromaufnahme begrenzt ist.

35

6. Verzögerungsglied nach Anspruch 1, **dadurch gekennzeichnet, daß** ein Referenzweig des Stromspiegels mit einer Referenzspannung ( $V_{BG}$ ) verbunden ist.

40

7. Verzögerungsglied nach Anspruch 6, **dadurch gekennzeichnet, daß** der Begrenzungswert der Strombegrenzungsvorrichtung (N4, N5) einstellbar ist.

45

8. Verzögerungsleitung, **dadurch gekennzeichnet, daß** mehrere Verzögerungsglieder (3) nach einem der Ansprüche 1 bis 7 hintereinander geschaltet sind.

50

9. Speicher-Ansteuervorrichtung mit einer Verzögerungsleitung (10) nach Anspruch 7 und einer Ansteuerschaltung (11) für einen Speicher, wobei Taktimpulse für die Ansteuerschaltung (11) durch Abgriff der Ausgangssignale (7a, 7b, 7c, 7d) der

55

Verzögerungsglieder (3) der Verzögerungsleitung (10) bereitgestellt werden.

10. Speicher-Ansteuervorrichtung nach Anspruch 9, **dadurch gekennzeichnet, daß** die Verzögerungsleitung (10) mit einer stabilisierten Referenzspannung ( $V_{BG}$ ) betrieben wird und die Ansteuerschaltung (11) Puffer und eine Vorrichtung zur Spannungsanhebung der Ausgangssignale (7a, 7b, 7c, 7d) der Verzögerungsglieder (3) auf die Versorgungsspannung ( $V_{DD}$ ) aufweist.

FIG 1

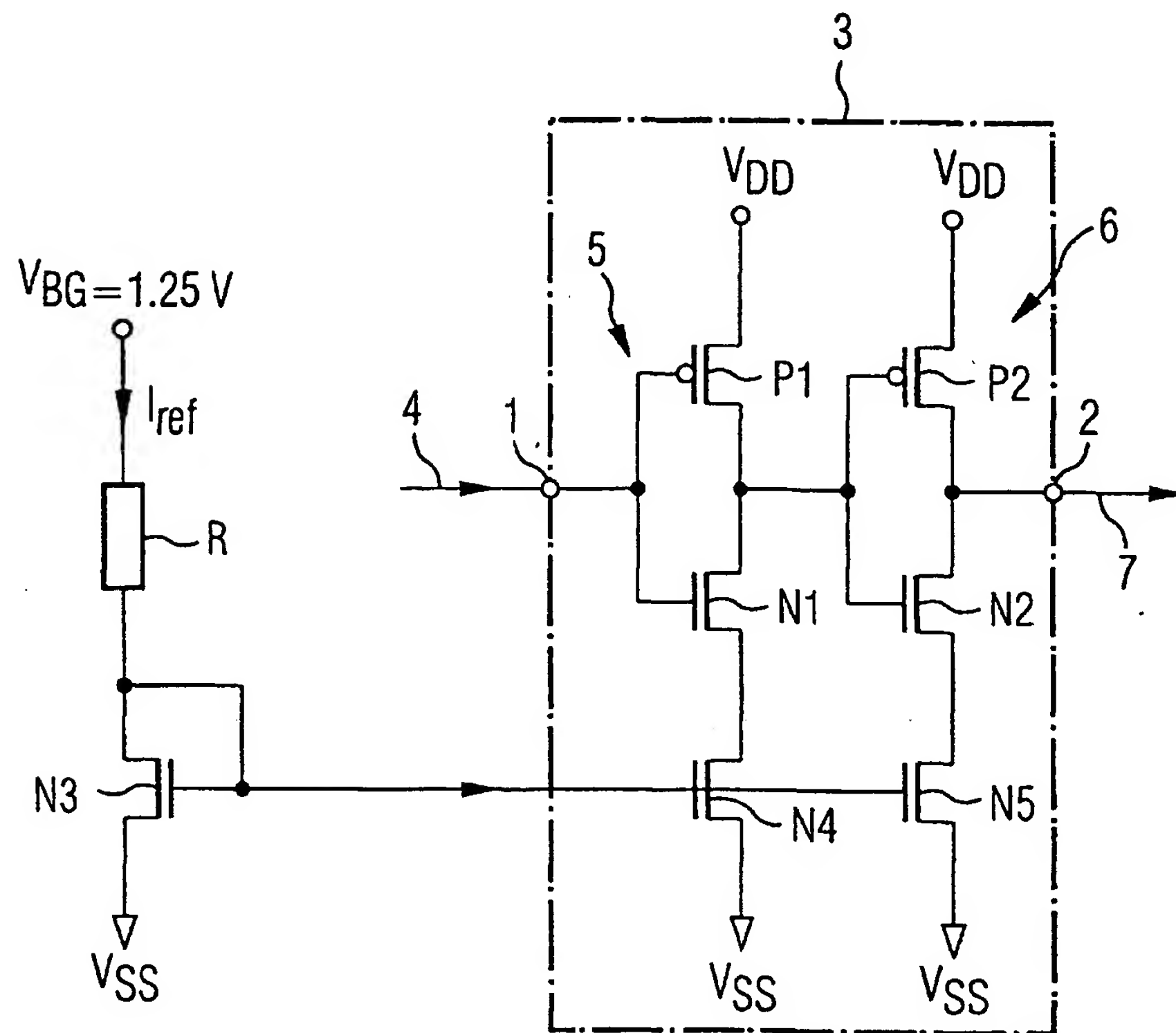


FIG 2

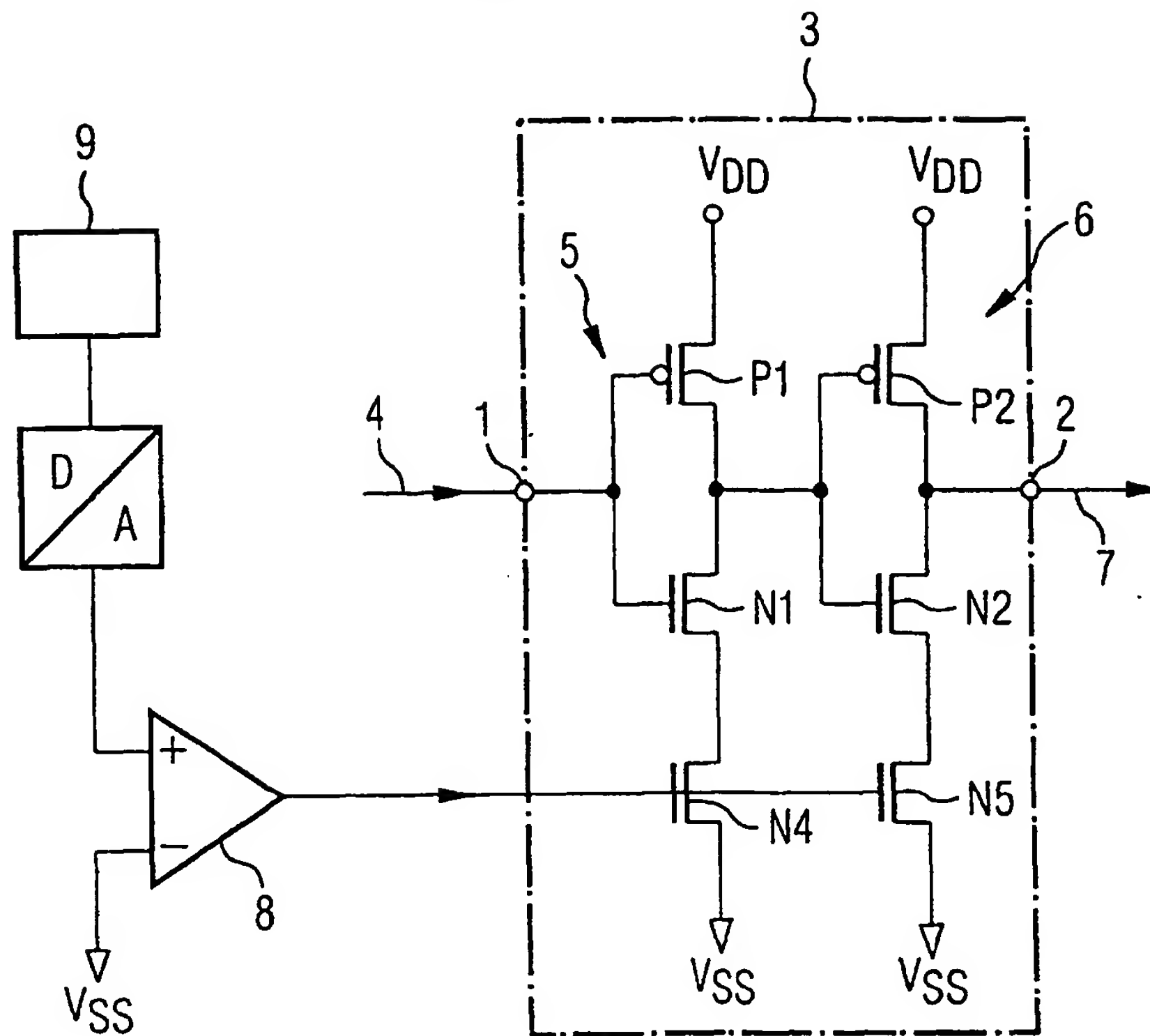


FIG 3

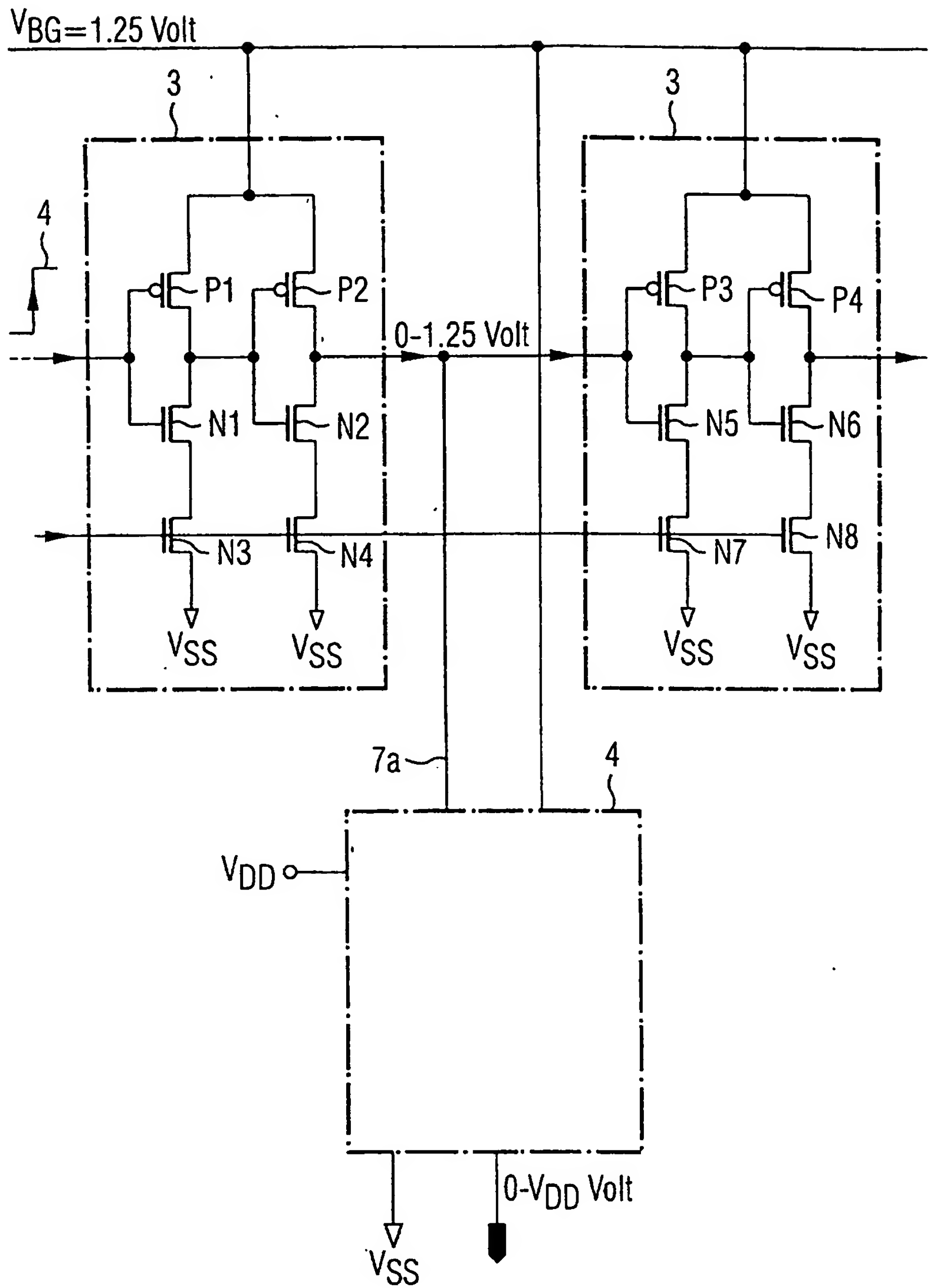
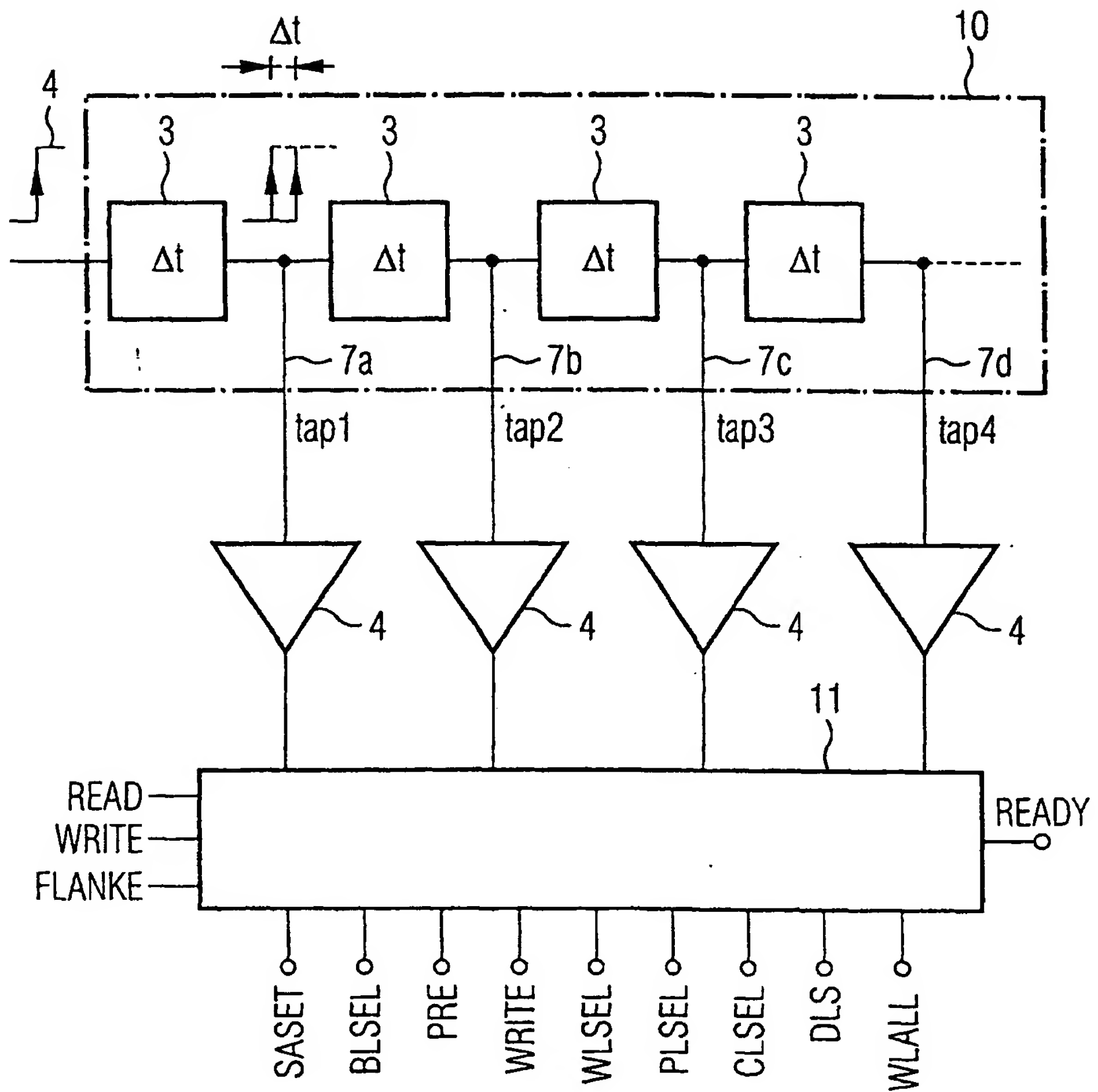


FIG 4







Europäisches  
Patentamt

# EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung  
EP 00 11 9282

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.7)
X	US 6 034 557 A (FRAKE SCOTT O ET AL) 7. März 2000 (2000-03-07) * das ganze Dokument *	1,2,4-9	H03K5/13
Y	---	3	
A	---	10	
X	US 5 841 296 A (LONGSTAFF SIMON A ET AL) 24. November 1998 (1998-11-24) * Spalte 7, Zeile 1 - Spalte 8, Zeile 11; Abbildung 7 *	1,2,4-7	
Y	---	3	
A	US 4 932 053 A (FRUHAUF SERGE ET AL) 5. Juni 1990 (1990-06-05) * Zusammenfassung *	1,2,4-10	
A	---	1,3	
A	US 4 295 041 A (UGON MICHEL) 13. Oktober 1981 (1981-10-13) * Zusammenfassung *		
A	---	1,2,4-10	
A	US 5 544 120 A (KUWAGATA MASAOKI ET AL) 6. August 1996 (1996-08-06) * Zusammenfassung *		
A	---	1,2,4,6,7,10	H03K G06F G11C G06K
A	US 5 459 423 A (SEGAWA MAKOTO ET AL) 17. Oktober 1995 (1995-10-17) * Zusammenfassung; Abbildung 2 *	10	
A	---		
A	EP 0 813 303 A (MITSUBISHI ELECTRIC CORP ;MITSUBISHI ELECTRIC SEMICONDUCT (JP)) 17. Dezember 1997 (1997-12-17) -----		
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort	Abschlußdatum der Recherche	Prüfer	
DEN HAAG	13. Februar 2001	Jepsen, J	
KATEGORIE DER GENANNTEN DOKUMENTE		T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderen Gründen angeführtes Dokument R : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	
X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur			

EPO FORM 1503 03.02 (P04C03)

**ANHANG ZUM EUROPÄISCHEN RECHERCHENBERICHT  
 ÜBER DIE EUROPÄISCHE PATENTANMELDUNG NR.**

EP 00 11 9282

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten europäischen Recherchenbericht angeführten Patentedokumente angegeben.

Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am  
 Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

13-02-2001

Im Recherchenbericht angeführtes Patentedokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 6034557 A	07-03-2000	KEINE	
US 5841296 A	24-11-1998	US 6034548 A	07-03-2000
US 4932053 A	05-06-1990	FR 2638869 A	11-05-1990
		DE 68900160 D	29-08-1991
		EP 0368727 A	16-05-1990
		JP 2199561 A	07-08-1990
		JP 2813663 B	22-10-1998
US 4295041 A	13-10-1981	FR 2401459 A	23-03-1979
		FR 2460506 A	23-01-1981
		CH 631561 A	13-08-1982
		DE 2837201 A	01-03-1979
		DE 2858818 C	29-08-1996
		DE 2858819 C	09-03-1995
		DE 2858829 C	28-11-1996
		GB 2004394 A,B	28-03-1979
		JP 54046447 A	12-04-1979
		JP 62056556 B	26-11-1987
		JP 2506061 B	12-06-1996
		JP 7093501 A	07-04-1995
		JP 1826230 C	28-02-1994
		JP 2210590 A	21-08-1990
		JP 3050314 B	01-08-1991
		JP 1556417 C	23-04-1990
		JP 62070993 A	01-04-1987
		JP 63025393 B	25-05-1988
		JP 2097860 C	02-10-1996
		JP 5217034 A	27-08-1993
		JP 8007780 B	29-01-1996
		US 4211919 A	08-07-1980
		DE 3025044 A	27-05-1981
		DE 3051266 C	06-07-2000
		JP 56038651 A	13-04-1981
		JP 2547379 B	23-10-1996
		JP 8110937 A	30-04-1996
		JP 1152589 A	15-06-1989
		JP 2043222 B	27-09-1990
		JP 2547368 B	23-10-1996
		JP 5274499 A	22-10-1993
US 5544120 A	06-08-1996	JP 3026474 B	27-03-2000
		JP 6295584 A	21-10-1994
		KR 131176 B	14-04-1998

EPO FORM P0461

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr.12/82

**ANHANG ZUM EUROPÄISCHEN RECHERCHENBERICHT  
 ÜBER DIE EUROPÄISCHE PATENTANMELDUNG NR.**

EP 00 11 9282

In diesem Anhang sind die Mitglieder der Patentfamilien der im obgenannten europäischen Recherchenbericht angeführten Patentedokumente angegeben.

Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am  
 Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

13-02-2001

Im Recherchenbericht angeführtes Patentedokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5250914      A	05-10-1993	JP      2990863 B	13-12-1999
		JP      5007133 A	14-01-1993
		KR      9605193 B	22-04-1996
-----			
US 5459423      A	17-10-1995	JP      6012877 A	21-01-1994
		KR      149183 B	15-12-1998
-----			
EP 0813303      A	17-12-1997	JP      9331236 A	22-12-1997
		CN      1168028 A	17-12-1997
		US      6028492 A	22-02-2000
-----			

EPO FORM P0461

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr.12/82

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**